

Manufacturing electronic semiconducting components involves attaching semiconducting body to conductive substrate, making electrical connections, encapsulating body, dividing substrate

Patent number: DE10008203
Publication date: 2001-08-30
Inventor: MUEHLECK PETER (DE)
Applicant: VISHAY SEMICONDUCTOR GMBH
Classification:
- **international:** H01L21/50; H01L33/00
- **european:** H01L25/16L; H01L25/075N
Application number: DE20001008203 20000223
Priority number(s): DE20001008203 20000223

Also published as:

 JP2001274463

Abstract of DE10008203

The method involves providing a conductive substrate (1), attaching a semiconducting body (2) to a first surface side of the substrate, making electrical connections (3.1,3.2) from the body to the first surface side, making a housing body (4) by encapsulating the semiconducting body and connections with insulating material and making mutually electrically insulated connection surfaces (5.1,5.2) by dividing the substrate from a second side. Independent claim are also included for the following: the use of the method for manufacturing light emitting semiconducting components and the use of the method for manufacturing active and passive semiconducting components.



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Off nl gungsschrift**
⑩ **DE 100 08 203 A 1**

⑤① Int. Cl.⁷:
H 01 L 21/50
H 01 L 33/00

②① Aktenzeichen: 100 08 203.3
②② Anmeldetag: 23. 2. 2000
③③ Offenlegungstag: 30. 8. 2001

DE 100 08 203 A 1

⑦① Anmelder:
Vishay Semiconductor GmbH, 74072 Heilbronn, DE

⑦② Erfinder:
Mühleck, Peter, Dipl.-Ing.(FH), 74254 Offenau, DE

⑤⑤ Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:

DE 199 27 873 A1
US 51 22 860 A
US 59 76 912
US 51 57 475
EP 09 99 587 A2
WO 98 08 927 A1

JP Patent Abstracts of Japan:
08298345 A;
10173241 A;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤④ Verfahren zum Herstellen elektronischer Halbleiterbauelemente

⑤⑦ Bekannte Herstellverfahren weisen den Nachteil auf,
dass die damit hergestellten elektronischen Halbleiter-
bauelemente vergleichsweise große Abmessungen auf-
weisen, dass eine strukturierte Leiterplatte gebraucht
wird und Kontaktierungen von der Unterseite der Leiter-
platte auf ihre Oberseite geführt werden müssen.

Verfahren zum Herstellen elektronischer Halbleiterbau-
elemente zur Oberflächenmontage, das durch folgende
Verfahrensschritte gekennzeichnet ist:

- Bereitstellen eines leitfähigen Substrats,
- Befestigen eines Halbleiterkörpers auf einer ersten
Oberflächenseite des Substrats,
- Herstellen elektrischer Verbindungen vom Halbleiter-
körper zur ersten Oberflächenseite des Substrats,
- Herstellen eines Gehäusekörpers durch Einkapseln des
Halbleiterkörpers und der elektrischen Verbindungen mit
einem isolierenden Material und

- Herstellen von elektrisch voneinander isolierten An-
schlussflächen durch Teilen des Substrats von einer zwei-
ten, der ersten Oberflächenseite gegenüberliegenden
Seite.

Die Erfindung eignet sich zur Herstellung lichtaussenden-
der Bauelemente kleinster Bauform, die als Lichtquellen
in Anzeigetafeln, als Hintergrundbeleuchtung für Flüssig-
kristallanzeigen und in Lichtschaltern verwendet werden,
und weiterhin für aktive und passive elektronische Bau-
elemente wie Dioden, Transistoren und integrierte Schalt-
kreise.

DE 100 08 203 A 1

Die Erfindung bezieht sich auf ein Verfahren zum Herstellen elektronischer Halbleiterbauelemente zur Oberflächenmontage nach dem Oberbegriff des Patentanspruchs 1.

Ein solches Herstellungsverfahren nach dem Stand der Technik ist beispielsweise aus der deutschen Offenlegungsschrift DE 195 44 980 A1 bekannt. Bei diesem Herstellungsverfahren werden lichtemittierende Bauelemente dadurch hergestellt, indem auf der Unterseite eines isolierenden Substrats elektrische Anschlüsse ausgebildet, auf die Oberseite geführt und dort mittels eines leitenden Verbindungsmittels wie Lot mit der n-seitigen und p-seitigen Elektrode eines LED-Chips verbunden werden. LED-Chip und das leitende Verbindungsmittel auf dem isolierenden Substrat werden durch ein lichtdurchlässiges Harz abgedichtet.

Dieses Herstellungsverfahren weist jedoch den Nachteil auf, dass die damit hergestellten lichtemittierenden Bauelemente vergleichsweise große Abmessungen aufweisen, dass eine strukturierte Leiterplatte gebraucht wird und Kontaktierungen von der Unterseite der Leiterplatte aufwendig auf ihre Oberseite geführt werden müssen.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren nach dem Oberbegriff des Anspruchs 1 so zu gestalten, dass elektronische Halbleiterbauelemente mit sehr kleinen Abmessungen kostengünstig und auf einfache Art und Weise massenweise hergestellt werden können.

Gelöst wird diese Aufgabe durch ein Verfahren mit den im Anspruch 1 angegebenen Merkmalen.

Nach dem Verfahren des Anspruchs 1 hergestellte elektronische Halbleiterbauelemente weisen die Vorteile auf, dass sie einfach und kostengünstig herzustellen sind und die Kontaktflächen des Bauelements nicht mit dem Material der Verkapselung verunreinigt sind. Weiterhin ist für eine gute Ableitung der im Halbleiterkörper entstehenden Wärme gesorgt.

Die Erfindung eignet sich zur Herstellung lichtaussendender Bauelemente kleinster Bauform, die als Lichtquellen in Anzeigetafeln, als Hintergrundbeleuchtung für Flüssigkristallanzeigen und in Lichtschaltern verwendet werden, und weiterhin für aktive und passive elektronische Bauelemente wie Dioden, Transistoren und integrierte Schaltkreise.

Vorteilhafte Ausgestaltungen des Verfahrens nach Anspruch 1 sind in den Unteransprüchen angegeben.

Die Erfindung wird nun anhand eines Ausführungsbeispiels unter Zuhilfenahme der Zeichnung erläutert. Es zeigen

Fig. 1a-d: perspektivische Darstellungen zur Erläuterung verschiedener Arbeitsschritte einer ersten Version des erfindungsgemäßen Herstellungsverfahrens, am Beispiel lichtaussendender Halbleiterbauelemente, die auf einem Substrat aufgebaut werden,

Fig. 2: eine perspektivische Ansicht mehrerer nach dem erfindungsgemäßen Verfahren hergestellter, lichtaussendender Halbleiterbauelemente nach dem Mouldprozess,

Fig. 3: eine perspektivische Ansicht mehrerer gemoulter und noch miteinander verbundener lichtaussendender Halbleiterbauelemente,

Fig. 4: eine perspektivische Ansicht der Unterseite eines vereinzelter, nach dem erfindungsgemäßen Verfahren hergestellten lichtaussendenden Halbleiterbauelements mit verzinnten elektrischen Anschlüssen,

Fig. 5a: eine perspektivische Ansicht eines nach dem erfindungsgemäßen Verfahren hergestellten Halbleiterbauelements mit Außenmaßen,

Fig. 5b: eine Seitenansicht eines nach dem erfindungsgemäßen Verfahren hergestellten Halbleiterbauelements mit Innenmaßen

Fig. 5c-e: perspektivische Ansichten mehrerer nach dem erfindungsgemäßen Verfahren hergestellter Halbleiterbauelemente mit in den Gehäusekörper integrierten optischen Ankopplungen und Auskopplungen und

Fig. 6: perspektivische Darstellungen zur Erläuterung verschiedener Arbeitsschritte einer zweiten Version des erfindungsgemäßen Herstellungsverfahrens, am Beispiel lichtaussendender Halbleiterbauelemente, die auf einem länglichen Trägerband aufgebaut werden.

Die **Fig. 1a bis 1d** zeigen perspektivische Darstellungen zur Erläuterung verschiedener Arbeitsschritte einer ersten Version des erfindungsgemäßen Herstellungsverfahrens, am Beispiel lichtaussendender Halbleiterbauelemente **10** (Micro-SMD-Leuchtdioden), die auf einem leitfähigen Substrat **1** aufgebaut werden.

Fig. 1a zeigt ein leitfähiges Substrat **1** mit einer Oberseite als erster Oberflächenseite **1.1**, einer Unterseite als zweiter Oberflächenseite **1.2** und einer abgeschnittenen Ecke **1.3** als sogenannte Missgriffssicherung zum Schutz vor falscher Orientierung des Substrats **1**. Als leitfähiges Substrat **1** dient beispielsweise eine rechteckige metallene Trägerplatte aus einer Kupferlegierung oder einem vergleichbaren Material. Auf der Oberseite **1.1** des Substrats **1** sollen beispielsweise lichtaussendende Halbleiterkörper regelmäßig, beispielsweise matrixmäßig in Reihen und Spalten, angeordnet werden. Auf der Unterseite **1.2** werden zu einem späteren Zeitpunkt elektrische Anschlussflächen (Anschlüsse, Elektroden) **5** der herzustellenden Halbleiterbauelemente strukturiert. Die Größe des Substrats **1** entspricht in etwa Scheckkartengröße, richtet sich aber nach Anzahl der Halbleiterbauelemente **10**, die darauf aufgebaut werden sollen, und nach den Abmessungen der verwendeten Fertigungseinrichtungen; die Dicke des Substrats **1** beträgt etwa 125 µm. Zum Transport und zur Fixierung in den Fertigungseinrichtungen dienen Transportöffnungen **8**.

In einem ersten Schritt werden beispielsweise lichtaussendende Halbleiterkörper **2** auf der ersten Oberflächenseite **1.1** des Substrats **1** befestigt. Somit dient das Substrat **1** unter anderem als Träger für die lichtaussendenden Halbleiterkörper oder Halbleiterchips **2**, wie in **Fig. 1b** dargestellt. Jedes lichtaussendende Halbleiterchip **2** wird zum Befestigen auf dem Substrat **1** zweckmäßigerweise maschinell auf die Oberflächenseite **1.1** des Substrats **1** aufgesetzt. Gleichzeitig wird eine erste elektrische Verbindung vom Halbleiterkörper **2** zur ersten Oberflächenseite **1.1** des Substrats **1** hergestellt, indem der nach unten gerichtete Rückseitenkontakt des Halbleiterchips **2** mittels eines leitfähigen Klebstoffes **3.2** (**Fig. 5b**) wie Silberleitklebstoff an einem ersten Anschlusspunkt elektrisch leitend mit der Oberseite **1.1** verbunden wird. Einen entsprechend angepassten Rückseitenkontakt vorausgesetzt, kann das Halbleiterchip **2** auch auf die Oberseite **1.1** aufgelötet, durch thermisches Chipbonden oder auf andere Art und Weise mit ihr kontaktiert werden.

Daraufhin wird eine zweite elektrische Verbindung von jedem Halbleiterkörper **2** zur ersten Oberflächenseite **1.1** des Substrats **1** hergestellt, indem der zweite Kontakt jedes lichtaussendenden Halbleiterchips **2**, der nach oben gerichtete Vorderseitenkontakt, mittels eines Bonddrahtes **3.1** aus Gold oder Aluminium in geringem Abstand zum ersten Anschlusspunkt an einem zweiten Anschlusspunkt ebenfalls mit der Oberseite **1.1** des Substrats **1** kontaktiert wird.

Nach der Kontaktierung wird in einem weiteren Arbeitsschritt jeder der auf der Oberseite **1.1** des Substrats **1** befestigten Halbleiterkörper **2** mit einem Gehäusekörper **4** versehen. Dazu wird jeder auf der Oberfläche **1.1** befestigte Halbleiterchip **2** einschließlich seiner Kontaktierungen **3.1** und **3.2** auf bekannte Art und Weise mittels eines Mouldprozesses, durch Gießen, Spritzgießen oder eine sonstige ge-

bräuchliche Herstellungsweise mit isolierendem Material eingekapselt, wie aus Fig. 1c hervor geht. Bei dem isolierenden Material, der in Verbindung mit dem Mouldprozess auch als Mouldmasse bezeichnet wird, handelt es sich beispielsweise um einen thermoplastischen Kunststoff.

Eine erste Möglichkeit zum Herstellen der Gehäusekörper 4 besteht darin, dass beim Moulden einzelne Kavitäten eines Mouldwerkzeugs zum Einsatz kommen, so dass die Gehäusekörper 4 aller lichtaussendenden Halbleiterbauelemente 10 gleichzeitig hergestellt werden. Durch in das Mouldwerkzeug eingearbeitete Kanäle zur Durchleitung der Mouldmasse, auch als Mouldgates bezeichnet, entstehen während des Mouldvorgangs Verbindungsstege 6 zwischen den in einer Reihe oder Spalte angeordneten Gehäusekörpern 4 der Halbleiterbauelemente 10.

Normalerweise werden derartige Verbindungsstege 6 sogleich nach dem Entformen, d. h. nach dem Herausnehmen der hergestellten Teile aus dem Mouldwerkzeug, durch Brechen, Schneiden oder auf sonstige Art und Weise entfernt. Im vorliegenden Fall ist es vorteilhaft, die Verbindungsstege 6 nicht sofort, sondern erst zu einem späteren Zeitpunkt zu entfernen, so dass eine bestimmte Anzahl von Halbleiterbauelementen 10 über ihre Gehäusekörper 4 vorerst mit einander verbunden bleiben.

Das erleichtert einmal wesentlich die Handhabung während des Herstellprozesses; es ermöglicht zudem, dass die mit einander verbundenen Halbleiterbauelemente 10 gleichzeitig nachfolgenden Prozessschritte zugeführt werden können; weiterhin sorgt es für die gleiche Orientierung der Halbleiterbauelemente 10, so dass beispielsweise beim Überprüfen der elektrischen Funktionsfähigkeit die Polarität sich nicht ändert.

Eine zweite Möglichkeit zum Herstellen der Gehäusekörper 4 besteht darin, die gesamte Oberseite 1.1 mit dem als Vergussmasse dienenden thermoplastischen Kunststoff zu vergießen, so dass die Halbleiterbauelemente 10 wie bei der ersten Möglichkeit in einem Verbund zusammen geschlossen und damit beim Herstellprozess leichter handhabbar sind, als wenn die Halbleiterbauelemente 10 sogleich vereinzelt werden. Die herzustellenden Halbleiterbauelemente 10 werden später beispielsweise durch Sägen getrennt und somit vereinzelt. Auch bei dieser Möglichkeit ist es zweckmäßig, die Halbleiterbauelemente 10 auf ihre elektrische Funktionsfähigkeit zu überprüfen, solange sie noch im Verbund angeordnet sind.

Die Fig. 1d zeigt die bereits mit Strukturen, also Anschlussflächen 5.1 und 5.2 versehene Unterseite 1.2 des Substrats 1. Das Herstellen der Strukturen erfolgt durch Materialabtrennung mittels Laser, durch Ätzen oder durch Sägen. Vor der Materialabtrennung durch Ätzen muss zuerst die Unterseite 1.2 auf bekannte Art und Weise mit einem lichtempfindlichen Lack beschichtet, danach der Lack mittels Fotolithografie maskiert (d. h. an den gewünschten Stellen belichtet) und das Substrat 1 darauf hin in ein Säurebad eingetaucht werden, so dass bei einer bestimmten Temperatur nach einer bestimmten Zeit das nicht mehr gebrauchte Material auf chemische Weise entfernt ist.

zur Orientierung für die herzustellenden Strukturen dienen die seitlichen Begrenzung des Substrats 1 oder die Transportöffnungen 8 in Verbindung mit einer abgeschnittenen Ecke 1.3.

Es gibt auch verschiedene Möglichkeiten bei der zeitlichen Reihenfolge beim Herstellen der Strukturen auf der Unterseite 1.2. Eine erste Möglichkeit besteht darin, das Substrat 1 in einem Teilbereich unterhalb der Gehäusekörper 4 und gleichzeitig entlang der späteren Umrisse der elektrischen Anschlussflächen 5, 5.1 und 5.2 vollständig durchzutrennen, beispielsweise durch Ätzen. Damit sind dann in

einem Schritt die Anschlussflächen 5, 5.1 und 5.2 elektrisch voneinander getrennt und somit isoliert und das Halbleiterbauelement 10 aus dem Substrat herausgelöst. Die in einer Reihe angeordneten Halbleiterbauelemente 10 sind dann nur noch mittels der Verbindungsstege 6 miteinander verbunden und werden derart (wie dies in Fig. 3 dargestellt ist) nachfolgenden Fertigungsschritten zugeführt.

Eine weitere Möglichkeit besteht darin, lediglich den Teilbereich unterhalb der Gehäusekörper 4 zwischen den späteren Kontakten 5.1 und 5.2 durchzutrennen, beispielsweise durch Ätzen. In diesem Fall werden zu einem späteren Zeitpunkt die dadurch entstandenen elektrischen Anschlussflächen (Anschlüsse) 5.1 und 5.2 verzinkt und die fertig aufgebauten Halbleiterbauelemente 10 in einem Trennvorgang (Schneiden, Sägen, Stanzen o. ä.) vereinzelt. Das Verzinnen der Anschlussflächen 5.1 und 5.2 kann auch nach dem Vereinzeln erfolgen, beispielsweise durch galvanisches Trommelverzinnen.

Eine dritte Möglichkeit besteht darin, den Teilbereich unterhalb der Gehäusekörper 4 zwischen den späteren Kontakten 5.1 und 5.2 durchzuätzen und das Substrat 1 entlang der späteren Umrisse der Gehäusekörper 4 lediglich anzuätzen. Dadurch wird entlang der späteren Umrisse der Gehäusekörper 4 eine Sollbruchstelle geschaffen, um die fertig aufgebauten Halbleiterbauelemente 10 zu einem späteren Zeitpunkt nach dem Verzinnen beispielsweise durch Brechen entlang dieser Sollbruchstellen zu vereinzeln.

Grundsätzlich kann bei allen beschriebenen Möglichkeiten das An- bzw. Durchätzen des Substrats 1 auch nach dem Verzinnen erfolgen.

In Fig. 2 sind mehrere, nach dem erfindungsgemäßen Verfahren hergestellte lichtaussendende Halbleiterbauelemente 10 dargestellt. In diesem Fall wurden zum Herstellen der Gehäusekörper 4 einzelne Kavitäten verwendet. Die Vergussmasse wurde durch Zuleitungen eines (nicht dargestellten) Mouldwerkzeugs gepresst, so dass nach dem Entformen dickere Verbindungsstege 9 zu aus mehreren zusammen hängenden Halbleiterbauelementen 10 und Verbindungsstegen 6 bestehenden gefertigten Einheiten und die bereits beschriebenen Verbindungsstege 6 zwischen den Gehäusekörpern 4 vorhanden sind.

Für die Handhabbarkeit der hergestellten Halbleiterbauelemente 10 bei nachfolgenden Fertigungsschritten ist es vorteilhaft, wenn zunächst an beiden Enden einer aus mehreren zusammen hängenden Halbleiterbauelementen 10 und Verbindungsstegen 6 bestehenden gefertigten Einheit jeweils ein Angusstück 7.1 und 7.2 verbleibt. Zur Vermeidung von Missgriffen ist es hilfreich, wenn beispielsweise alle auf einer Seite angeordneten Angusstücke 7.2 eine kleine Vertiefung 7.3 oder eine sonstige formliche Besonderheit als Missgriffssicherung aufweisen.

Mit Hilfe der zunächst nicht entfernten Angusstücke 7.1 und 7.2 kann beispielsweise eine gefertigte Einheit nach dem Moulden aus dem Werkzeug entnommen werden, ohne dass die Halbleiterbauelemente 10 berührt und dadurch möglicherweise beschädigt werden. Weiterhin kann die gefertigte Einheit beim Heraustrennen aus dem Substrat 1 an diesen Angusstücken 7.1 und 7.2 gegriffen und danach zum Verzinnen der elektrischen Anschlüsse 5 (Fig. 3) in ein Galvanikbad eingetaucht werden.

Fig. 3 zeigt drei noch mittels Verbindungsstegen 6 verbundene, nach dem erfindungsgemäßen Verfahren hergestellte lichtaussendende Halbleiterbauelemente 10 vor dem Galvanikprozess zum Verzinnen der elektrischen Anschlüsse 5. Jedes Halbleiterbauelement 10 weist neben dem (nicht sichtbaren) Halbleiterkörper 2 einen transparenten Gehäusekörper 4 und aus Anode 5.1 und Kathode 5.2 bestehende elektrische Anschlüsse 5 auf. Beim Galvanikprozess

werden die durch Verbindungsstege 6 verbundenen Halbleiterbauelemente 10 verzinnt, d. h. mit den elektrischen Anschlüssen nach unten soweit in ein Bad aus flüssigem Zinn abgesenkt, bis die aus einer Kupferlegierung bestehenden Anschlüsse 5 vollständig ins Zinnbad eingetaucht sind.

Nach dem Herausziehen der noch mit einander verbundenen Halbleiterbauelemente 10 aus dem Zinnbad sind die Anschlüsse 5 mit einer Schicht aus Zinn überzogen, um sie vor Oxidation zu schützen. Nach dem Verzinnen der elektrischen Anschlüsse 5 werden die Verbindungsstege 6 entfernt, beispielsweise durch Sägen, Schneiden, Stanzen oder Brechen, und somit die Halbleiterbauelemente 10 vereinzelt.

Das Verzinnen der elektrischen Anschlüsse 5 mittels eines Galvanikprozesses kann vor oder nach dem Strukturieren der Unterseite 1.2, vor oder nach dem Vereinzelnen der Halbleiterbauelemente 10 oder auch dann erfolgen, nachdem mehrere mittels Verbindungsstege 6 miteinander verbundene Halbleiterbauelemente 10 aus dem Substrat 1 herausgetrennt worden sind.

Fig. 4 zeigt die Unterseite eines vereinzelt, nach dem erfindungsgemäßen Verfahren hergestellten lichtaussendenden Halbleiterbauelements 10 mit elektrischen Anschlüssen 5.1 (Anode) und 5.2 (Kathode), bei dem noch Reste 6.1 eines zuvor abgetrennten Verbindungsstege 6 zu sehen sind. Die Unterseite des fertig gestellten Halbleiterbauelements 10 ist identisch mit der Unterseite 1.2 des jetzt nicht mehr vorhandenen Substrats 1. Da das (hier nicht sichtbare) Halbleiterchip 2 direkt mit dem vergleichsweise großflächigen elektrischen Anschluss 5.2 verbunden ist, kann die im Halbleiterchip 2 entstehende Wärme problemlos abgeführt werden.

Fig. 5a zeigt eine perspektivische Ansicht eines nach dem erfindungsgemäßen Verfahren hergestellten Halbleiterbauelements 10 in Form einer Micro-SMD-Leuchtdiode mit seinen elektrischen Anschlüssen 5.1 und 5.2, dem Halbleiterchip 2, dem Bonddraht 3.1 und dem transparenten Gehäusekörper 4. Die Außenmaße des Halbleiterbauelements 10 betragen ca. 0,8 mm in der Breite, ca. 1,7 mm in der Länge und ca. 0,6 mm in der Höhe.

In Fig. 5b sind zudem noch weitere Maße eines Halbleiterbauelements 10 dargestellt. Demnach beträgt die Breite jedes elektrischen Anschlusses 5.1 und 5.2 jeweils 0,7 mm, der Abstand dazwischen 0,3 mm. Das Halbleiterchip 2, bei dem es sich in diesem Fall um ein lichtaussendendes LED-Chip handelt, weist eine quaderförmige, fast würfelförmige Gestalt mit den Maßen von ungefähr 0,3 mm × 0,3 mm × 0,25 mm auf.

Verkleinerte Abmessungen werden erreicht, wenn der Bonddraht 3.1 nicht bogenförmig, sondern ungefähr rechteckig abgewinkelt vom Halbleiterchip 2 zur Anode 5.1 verläuft. Dadurch wird die Höhe des Halbleiterbauelements 10 um ca. 50 µm vermindert. Die Länge des Halbleiterbauelements 10 von 1,7 mm kann um wenigstens 0,5 mm verkürzt werden, wenn die Anode 5.1 verkürzt und der Abstand zur Kathode 5.2 verringert wird. Die verkürzte Anode 5.1 ist damit auch optisch leicht von der Kathode 5.2 zu unterscheiden.

Die Fig. 5c–e zeigen perspektivische Ansichten mehrerer nach dem erfindungsgemäßen Verfahren hergestellter Halbleiterbauelemente 10 mit in den Gehäusekörper 4 integrierten optischen Auskopplungen und Ankopplungen. So zeigt Fig. 5c ein Halbleiterbauelement 10 mit einer in den Gehäusekörper 4 integrierten sphärische oder asphärische Linse 18. Eine günstiger herzustellende zylindrische Linse 19, die in den Gehäusekörper 4 eines Halbleiterbauelements 10 integriert ist, ist in Fig. 5d dargestellt. Und aus der Fig. 5e geht eine Aufnahme 20 mit einer Öffnung 21 hervor. Die Öffnung 21 dient beispielsweise dazu, einen (nicht dargestell-

ten) Lichtwellenleiter anzukoppeln, indem der Lichtwellenleiter in diese Öffnung 21 eingesteckt wird. Weitere Linsenformen und optische Ankopplungen, wie sie von Leuchtdioden her bekannt sind, sind ebenfalls problemlos herstellbar.

Fig. 6 zeigt perspektivische Darstellungen zur Erläuterung verschiedener Arbeitsschritte einer zweiten Version des erfindungsgemäßen Herstellungsverfahrens, wiederum am Beispiel lichtaussendender Halbleiterbauelemente 10, die auch auf einem Substrat, diesmal jedoch in Form eines länglichen metallenen Trägerband 11 in Reihen aufgebaut werden.

Wie bei der ersten Version des erfindungsgemäßen Herstellungsverfahrens wird in den meisten Fällen zu einem bestimmten Zeitpunkt an allen auf dem Substrat 11 aufzubauenden Halbleiterbauelementen 10 nur ein bestimmter Arbeitsschritt (z. B. Bestücken, Bonden, Moulden) ausgeführt. Mit besonders aufgebauten Fertigungsmaschinen ist es aber auch möglich, verschiedene Arbeitsschritte parallel auszuführen, beispielsweise Aufkleben eines Halbleiterchips 2 und anschließend sofort Drahtbonden.

Beispielsweise wird gemäß der Fig. 6 zu einem bestimmten Zeitpunkt an einer ersten Arbeitsstation 12 ein Halbleiterchip 2 mittels eines leitfähigen Klebstoffs, mittels eines Lotes oder durch thermisches Chipbonden, jeweils bei entsprechend ausgestalteten Rückseitenkontakten der Halbleiterchips 2, auf der Oberseite des Trägerbandes 11 kontaktiert. Danach wird an einer zweiten Arbeitsstation 13 der Vorderseitenkontakt des Halbleiterchips 2 mittels eines Bonddrahtes 3.1 mit der Oberfläche des Trägerbandes 11 verbunden, darauf hin an einer dritten Arbeitsstation 14 der Halbleiterchip 2 samt dem Bonddraht 3.1 mit einem Gehäusekörper 4 aus transparentem, thermoplastischem Kunststoff eingekapselt, wobei Verbindungsstege 6 entstehen, später an einer vierten Arbeitsstation 15 die Unterseite des Trägerbandes 11 strukturiert und zuletzt an einer fünften Arbeitsstation 16 die elektrischen Anschlüsse 5 der Halbleiterbauelemente 10 verzinnt.

An weiteren Arbeitsstationen werden beispielsweise die fast fertiggestellten Halbleiterbauelemente 10 mittels Prüfspitzen 17 auf ihre Funktion hin getestet und die Verbindungsstege 6 entfernt. Beliebige weitere Arbeitsschritte können folgen, wie z. B. Reinigung und Verpackung.

Das am Beispiel vom lichtaussendenden Halbleiterbauelementen (Micro-SMD-Leuchtdiode) in zwei Versionen beschriebene Verfahren eignet sich auch für die Herstellung anderer oberflächenmontierter elektronischer Halbleiterbauelemente mit sehr kleinen Abmessungen, wie mehrfarbige Leuchtdioden, Dioden, Transistoren und integrierte Schaltkreise. Hierfür ist in vielen Fällen die Verwendung lichtundurchlässiger Vergussmasse sinnvoll. Benötigt ein Halbleiterbauelement mehr als zwei elektrische Anschlüsse, wie dies bei mehrfarbigen Leuchtdioden, Transistoren und vor allem bei integrierten Schaltkreisen der Fall ist, muss die Strukturierung des Substrats (Trägerplatte oder Trägerband) entsprechend angepasst werden, was jedoch für einen einschlägigen Fachmann kein Problem darstellt. Die anfangs genannten Vorteile des erfindungsgemäßen Herstellungsverfahrens bleiben auch bei derartigen Modifikationen voll erhalten.

Patentansprüche

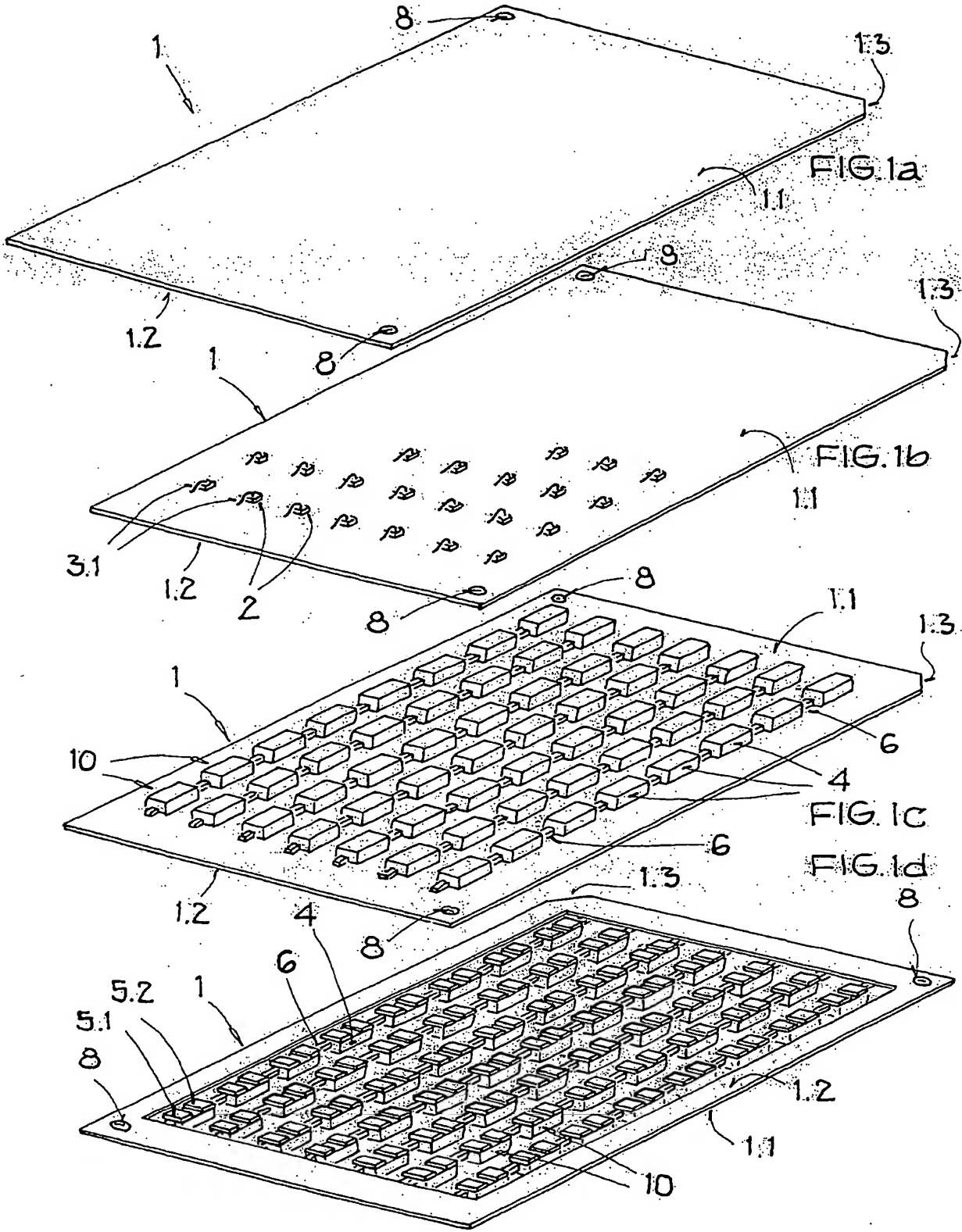
1. Verfahren zum Herstellen elektronischer Halbleiterbauelemente (10) zur Oberflächenmontage, **gekennzeichnet durch** folgende Verfahrensschritte:

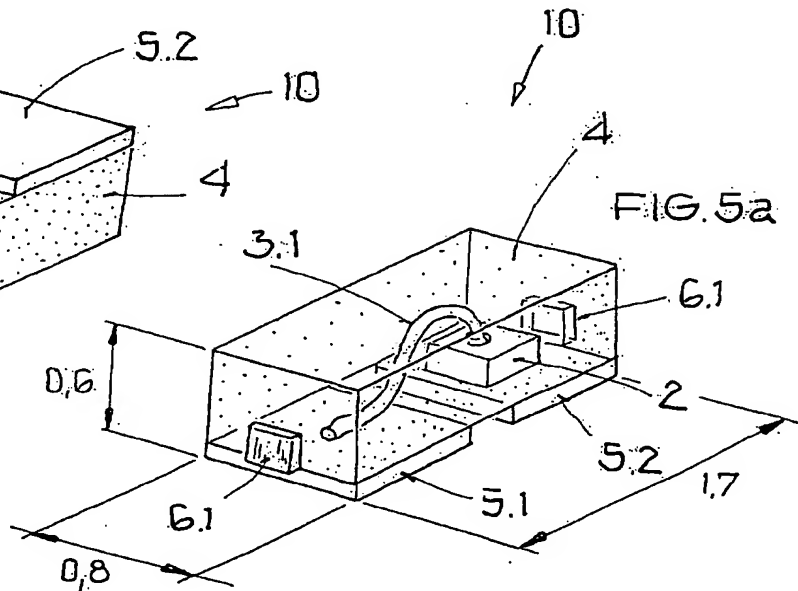
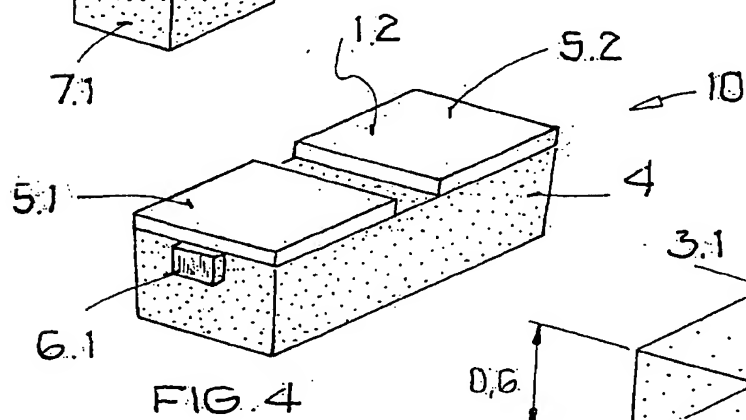
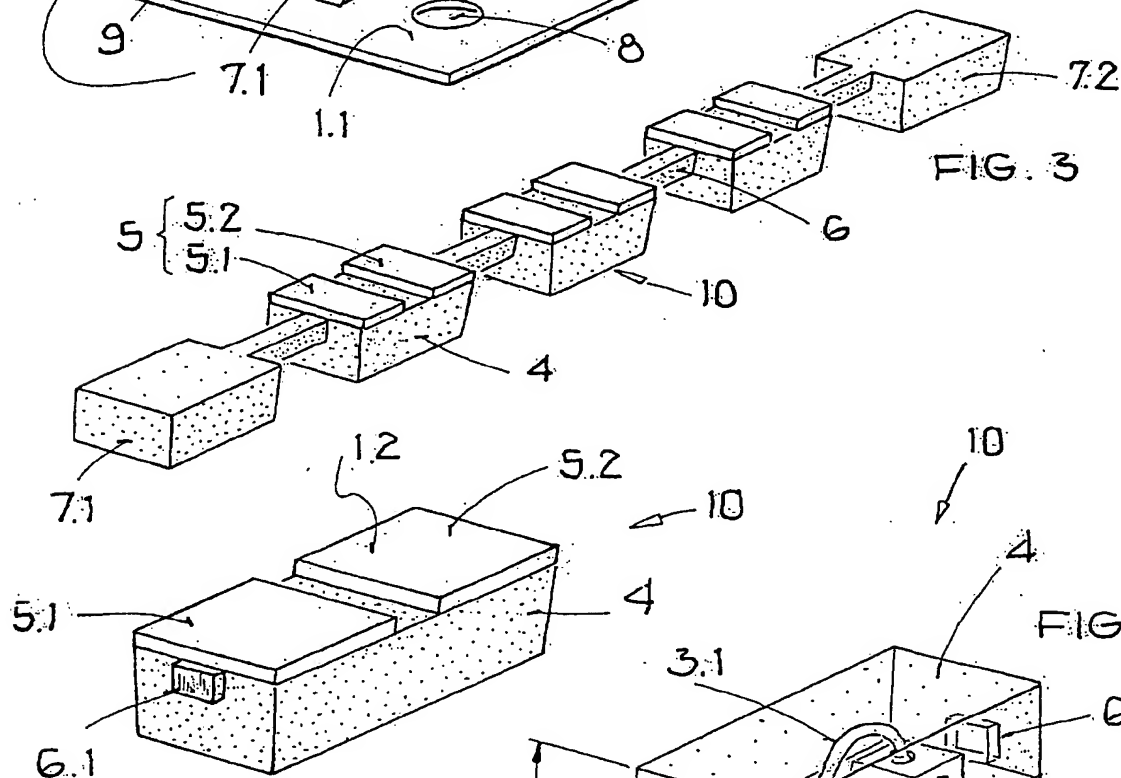
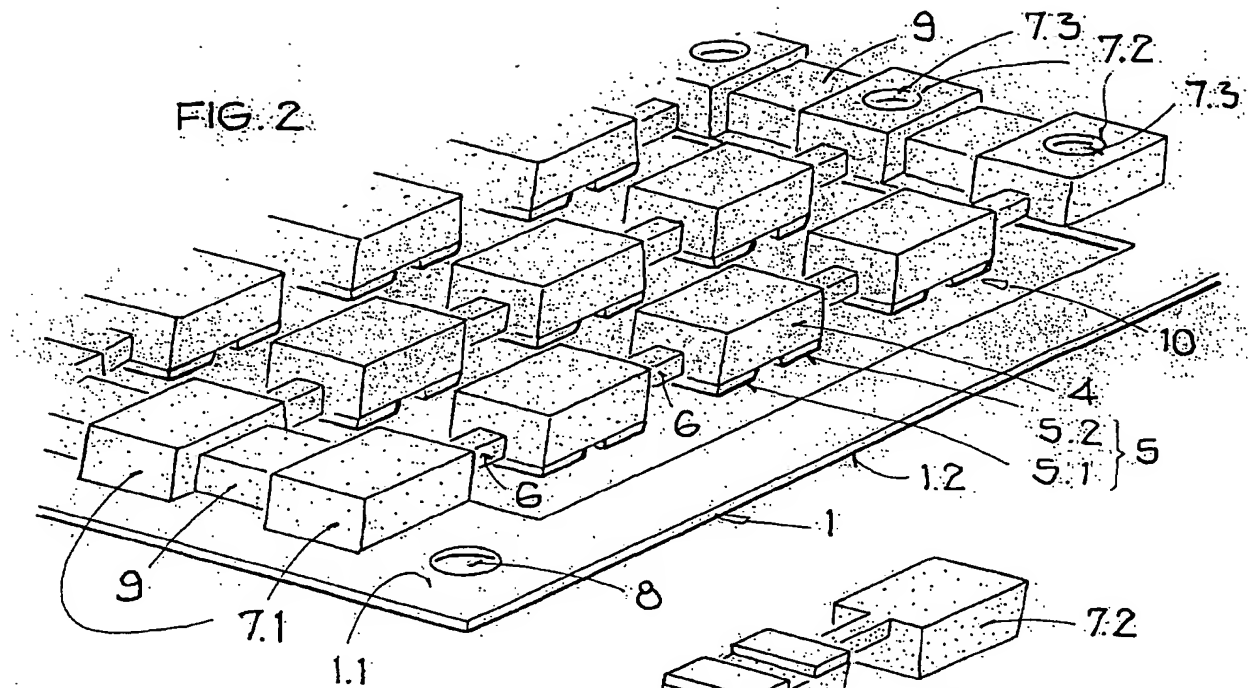
- a) Bereitstellen eines leitfähigen Substrats (1; 11),
- b) Befestigen eines Halbleiterkörpers (2) auf ei-

- ner ersten Oberflächenseite (1.1) des Substrats (1; 11),
 c) Herstellen elektrischer Verbindungen (3.1, 3.2) vom Halbleiterkörper (2) zur ersten Oberflächenseite (1.1) des Substrats (1; 11),
 d) Herstellen eines Gehäusekörpers (4) durch Einkapseln des Halbleiterkörpers (2) und der elektrischen Verbindungen (3.1, 3.2) mit einem isolierenden Material und
 e) Herstellen von elektrisch voneinander isolierten Anschlussflächen (5, 5.1, 5.2) durch Teilen des Substrats (1; 11) von einer zweiten, der ersten Oberflächenseite gegenüberliegenden Seite (1.2).
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass eine erste elektrische Verbindung (3.2) zwischen einem ersten Kontakt des Halbleiterkörpers (2) und der ersten Oberflächenseite (1.1) mittels eines leitfähigen Klebstoffes hergestellt wird.
 3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass eine erste elektrische Verbindung (3.2) zwischen dem ersten Kontakt des Halbleiterkörpers (2) und der ersten Oberflächenseite (1.1) mittels eines Lotes hergestellt wird.
 4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass eine erste elektrische Verbindung (3.2) zwischen dem ersten Kontakt des Halbleiterkörpers (2) und der ersten Oberflächenseite (1.1) durch thermisches Chipbonden hergestellt wird.
 5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass eine zweite elektrische Verbindung (3.1) zwischen einem zweiten Kontakt des Halbleiterkörpers (2) und der ersten Oberflächenseite (1.1) mittels eines Bonddrahtes hergestellt wird.
 6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass das Herstellen des Gehäusekörpers (4) durch einen Mouldprozess erfolgt.
 7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass es sich bei dem isolierenden Material um einen thermoplastischen Kunststoff handelt.
 8. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass auf dem Substrat (1; 11) mehrere Halbleiterkörper (2) befestigt werden.
 9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass die Halbleiterkörper (2) regelmäßig auf dem Substrat (1; 11) angeordnet werden.
 10. Verfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass die Halbleiterkörper (2) auf dem Substrat (1; 11) in Reihen angeordnet werden.
 11. Verfahren nach einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, dass die Halbleiterkörper (2) auf dem Substrat (1; 11) in Reihen und Spalten angeordnet werden.
 12. Verfahren nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass jeder der auf dem Substrat (1; 11) befestigten Halbleiterkörper (2) jeweils mit einem Gehäusekörper (2) versehen wird.
 13. Verfahren nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, dass die Gehäusekörper (4) aller Halbleiterkörper (2) gleichzeitig hergestellt werden.
 14. Verfahren nach einem der Ansprüche 10 bis 13, dadurch gekennzeichnet, dass die Gehäusekörper (4) aller in einer Reihe oder Spalte angeordneten Halbleiterbauelemente (10) nach dem Herstellen des Gehäusekörpers (4) mittels Verbindungsstege (6) miteinander verbunden bleiben.
 15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass an beiden Enden der miteinander durch

- Verbindungsstege (6) verbundenen Halbleiterbauelement (10) jeweils ein Angussstück (7.1, 7.2) verbleibt.
16. Verfahren nach einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, dass beim Herstellen der Anschlussflächen (5, 5.1, 5.2) das Substrat (1; 11) gleichzeitig sowohl in einem Teilbereich unterhalb des Gehäusekörpers (4) als auch entlang des Umrisses des Gehäusekörpers (4) durchtrennt wird.
 17. Verfahren nach einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, dass beim Herstellen der Anschlussflächen (5, 5.1, 5.2) das Substrat (1; 11) in einem Teilbereich unterhalb des Gehäusekörpers (4) durchtrennt wird und entlang des Umrisses des Gehäusekörpers (4) Sollbruchstellen hergestellt werden.
 18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass das Substrat (1; 11) zum Vereinzeln der Halbleiterbauelemente (10) entlang der Sollbruchstellen gebrochen wird.
 19. Verfahren nach einem der Ansprüche 16 oder 17, dadurch gekennzeichnet, dass das Substrat (1; 11) mittels Fotolithografie maskiert wird.
 20. Verfahren nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, dass das Teilen des Substrats (1; 11) mit einem Laser erfolgt.
 21. Verfahren nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, dass das Teilen des Substrats (1; 11) durch Schneiden, Scheren, Stanzen oder Sägen vorgenommen wird.
 22. Verfahren nach einem der Ansprüche 1 bis 21, dadurch gekennzeichnet, dass als Substrat (1; 11) eine metallene Trägerplatte verwendet wird.
 23. Verfahren nach einem der Ansprüche 1 bis 21, dadurch gekennzeichnet, dass als Substrat (1; 11) ein längliches metallenes Trägerband verwendet wird.
 24. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das Substrat (1; 11) aus einer Kupferlegierung besteht.
 25. Verfahren nach Anspruch 24, dadurch gekennzeichnet, dass die Anschlussflächen (5, 5.1, 5.2) verzinkt werden.
 26. Verwendung des Verfahrens nach einem der vorangehenden Ansprüche zum Herstellen von lichtaussendenden Halbleiterbauelementen (10).
 27. Verwendung des Verfahrens nach einem der Ansprüche 1 bis 25 zum Herstellen von aktiven und passiven Halbleiterbauelementen wie Dioden, Transistoren und integrierten Schaltkreisen.

Hierzu 3 Seite(n) Zeichnungen





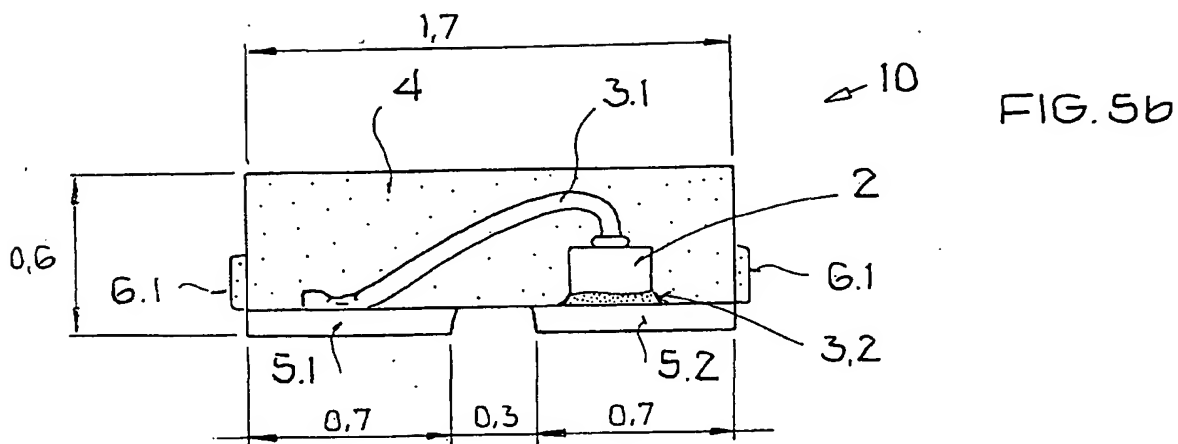


FIG. 5c

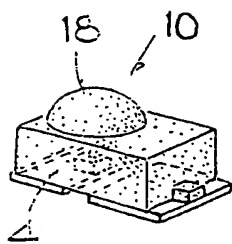


FIG. 5d

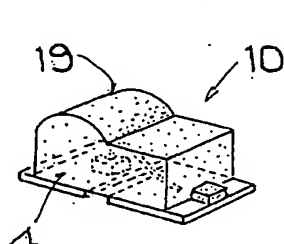


FIG. 5e

